



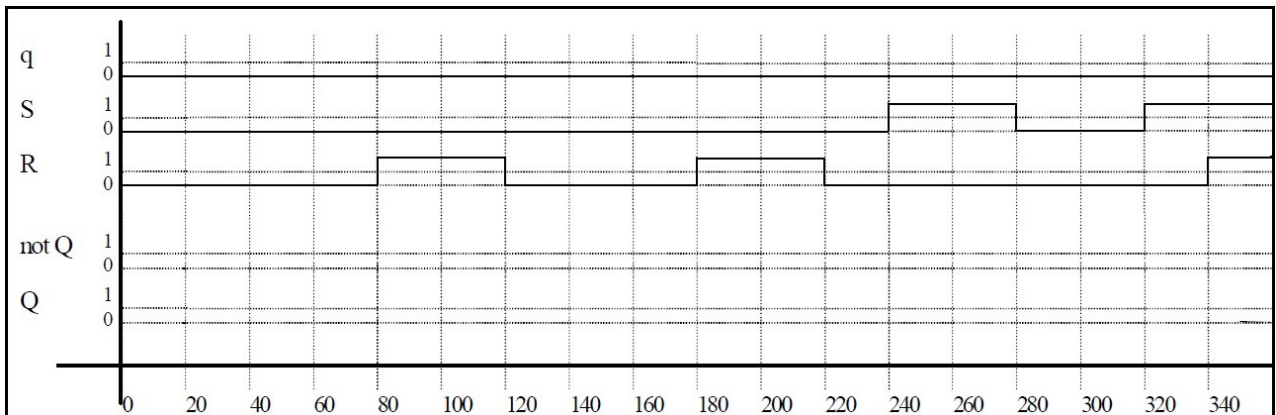
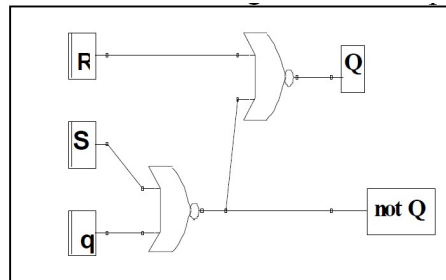
# TÉCNICA DIGITAL (86.01)

## Guía de Ejercicios Nº 8: “CIRCUITOS SECUENCIALES BIESTABLES”

### OBJETIVOS:

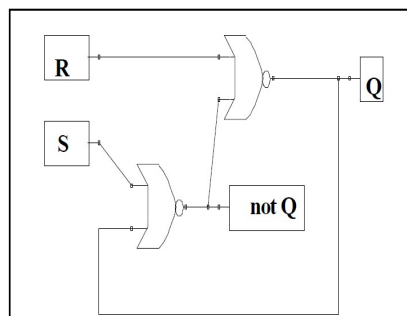
Analizar los efectos de la realimentación en circuitos lógicos. Estudiar su empleo como circuitos de memoria. Conocer y aplicar los distintos tipos de circuitos biestables (Flip-Flops) y el uso de manuales sobre el tema. Analizar las características de los circuitos secuenciales. Lectura e implementación de diagramas temporales. Conceptos de estado, diagrama de estado y tabla de transiciones. Tipos y características de Flip-Flops.

1. Realizar el diagrama de tiempo correspondiente al circuito de la figura:

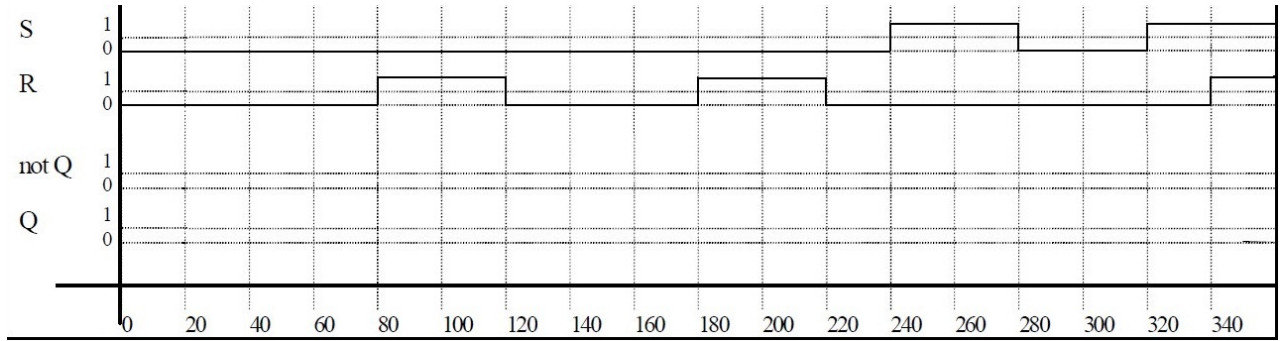


Indicar qué ocurre cuando las señales de entrada son  $R=S=0$ , para dos instantes de tiempo diferentes.

2. Ídem anterior realimentando el circuito según la figura:



El circuito recibe el nombre de Flip-Flop RS. Analizar sus usos.



3. Analizar el concepto de circuito secuencial y cuáles son las diferencias con un circuito combinacional. Indicar por qué el circuito del problema anterior es secuencial.

4. En base al esquema general de los circuitos secuenciales, definir las variables de entrada, de salida, de excitación y de estado para el Flip-Flop RS.

5. Analizar el circuito del Flip-Flop RS y realizar su tabla de verdad. Determinar el significado de  $Q^n$  y  $Q^{n+1}$ . Indicar porqué se denomina "estado prohibido" al de entrada  $R=S=1$ . Indicar por qué el circuito se define como "asincrónico".

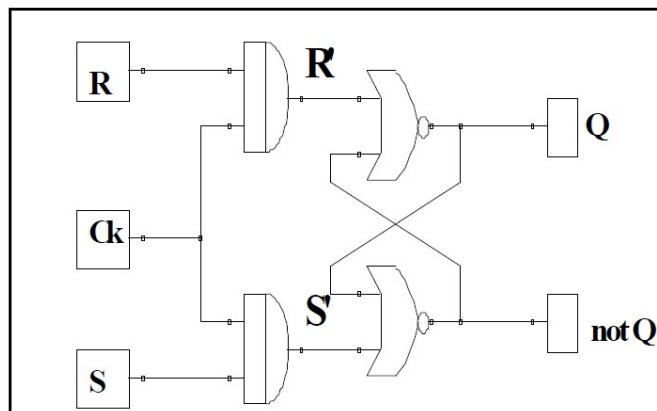
6. Escribir para el Flip-Flop RS asincrónico la tabla de verdad ampliada y la reducida. Realizar un mapa de Karnaugh con la representación de la tabla ampliada y obtener la ecuación característica  $Q^{n+1}=f(R,S,Q^n)$ .

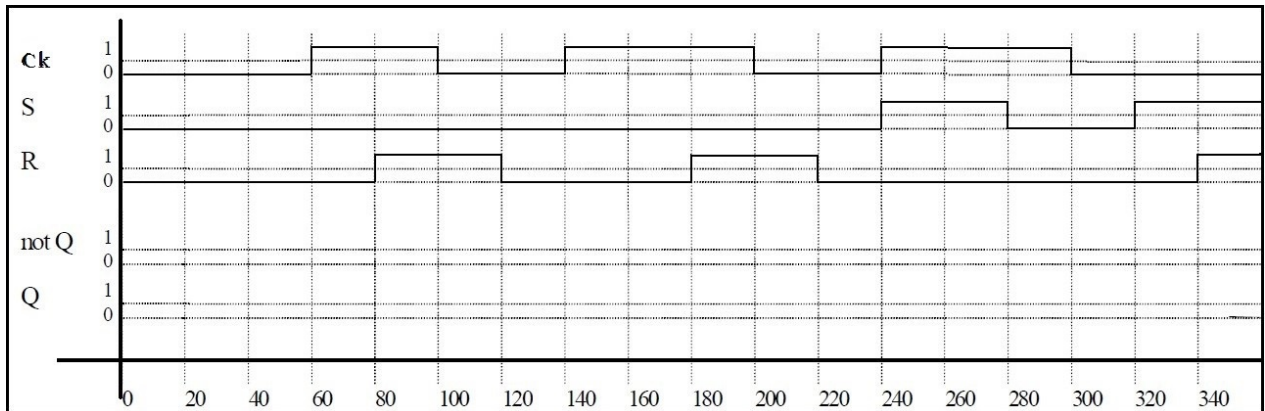
7. Construir un Flip-Flop RS con compuertas NAND, justificando su diseño con las leyes de De Morgan.

8. Estudiar el significado de "Pulso o Flanco, y Nivel" en las señales de tiempo. Analizar las restricciones de tiempo en las señales de entrada al circuito: ancho del pulso, separación entre señales de entrada o frecuencia de funcionamiento, separación entre señales de distintas entradas.

9. Construir un Flip-Flop RS síncrono analizando su necesidad. Indique que modificación se realiza en la ecuación característica y el significado de  $Q^n$ ,  $Q^{n+1}$ . Realizar el mismo diagrama de tiempos del problema 2 agregando un reloj (clock) periódico y comparar los resultados. Analizar lo que ocurre con la combinación  $R=S=1$ .

10. Para el circuito de la figura completar el diagrama de tiempos dado más abajo.





11. A partir de la tabla de verdad ampliada obtener la tabla de transiciones y el diagrama de estados del FF RS. Indicar qué valores deben tomar R y S para lograr que  $Q^n$  pase de un valor a otro dados.
12. Analizar el Método de las Transiciones para construir un Flip-Flop a partir de otro.
13. Analizar el Método de las Ecuaciones Características para construir un Flip-Flop a partir de otro.
14. Plantear las tablas de verdad ampliada y reducida del Flip-Flop JK y obtener la ecuación característica.
15. Para el FF JK realizar la tabla de transiciones y el diagrama de estados.
16. Obtener con el método del problema 12, el FF JK asincrónico a partir de un FF RS del mismo tipo. Analizar que ocurre si  $J=K=1$ , utilizando un diagrama de tiempos como el del problema 2.
17. Diseñar un FF J K sincrónico y verificar si soluciona el inconveniente del problema anterior. Analizar que ocurre si el pulso de sincronismo (clock) se mantiene en alto por un tiempo mayor que tres tiempos de retardo de compuerta en el estado  $J=K=1$ .
18. Definir una configuración del FF JK maestro - esclavo. Analizar su funcionamiento en un diagrama de tiempos similar al del problema 2 con  $R=K$   $S=J$ . Verificar si presenta los problemas enunciados en los ejercicios 16 y 17.
19. Analizar el concepto de funcionamiento Edge Trigger (disparo por flanco).
20. Realizar las tablas de verdad ampliada y reducida de un FF tipo D (Delay). Obtener su ecuación característica. Indicar sus usos posibles.
21. Para el FF D obtener su tabla de transiciones y el diagrama de estados.
22. Mediante los métodos vistos en los ejercicios 12 y 13, obtener un FF D a partir de un FF RS y luego a partir de un JK.
23. Buscar en la bibliografía el circuito de un Flip Flop Tipo D Edge Trigger. Analizar el funcionamiento del mismo en un diagrama de tiempos.
24. Realizar las tablas de verdad ampliada y reducida de un FF tipo T (Toggle). Obtener su ecuación característica. Indicar sus usos posibles.
25. Para el FF T obtener su tabla de transiciones y el diagrama de estados.



26. Mediante los métodos vistos en los ejercicios 12 y 13, obtener un FF T a partir de un FF RS y luego a partir de un JK.

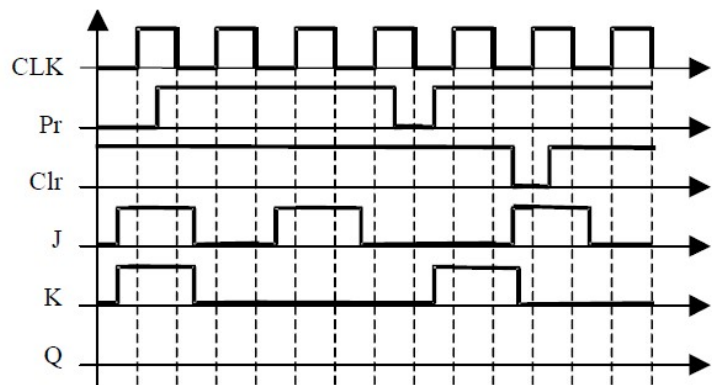
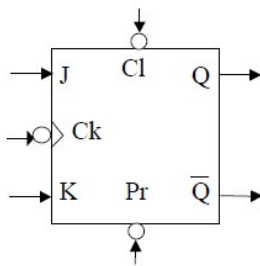
27. Analizar el funcionamiento de un FF al activar las entradas de Preset y Clear. Verificar si las mismas son asincrónicas o sincrónicas (independencia o no del clock).

28. Obtener las hojas de datos y analizar el tipo de biestable al que corresponden los siguientes circuitos integrados. Indicar su esquema circuital, Fan-In, Fan- Out, retardo y limitaciones de los circuitos integrados:

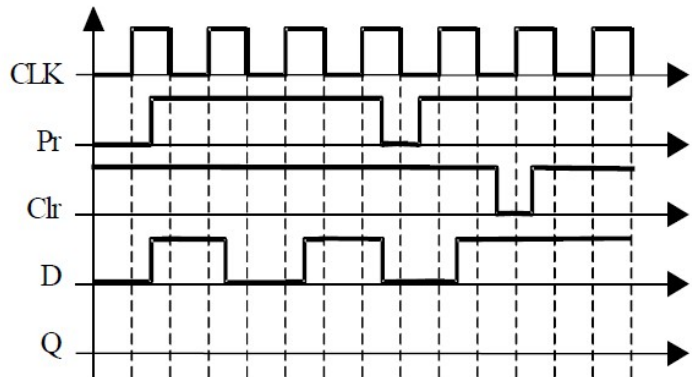
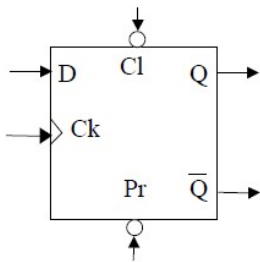
7471 7472 7473 7474 7475 7476 74112 74273 74373 74374  
CD4013 CD4027 CD4095 CD40174 CD4076

29. Dados los biestables de las figuras, completar los diagramas de tiempo correspondientes:

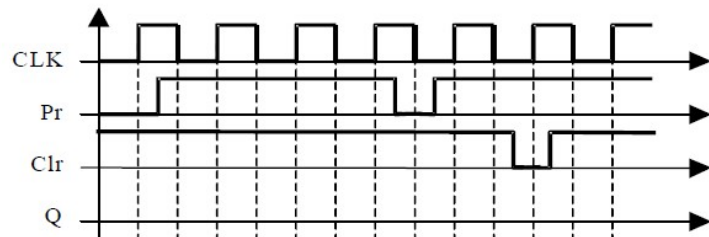
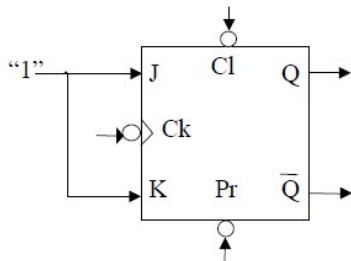
a)



b)

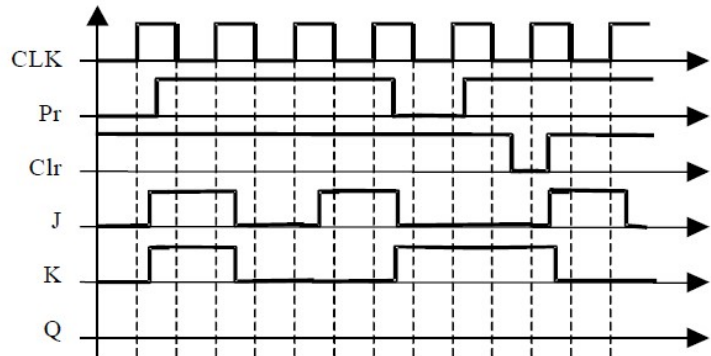
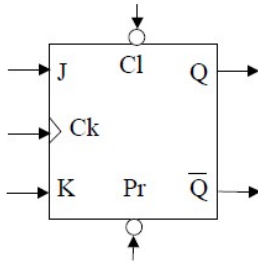


c)

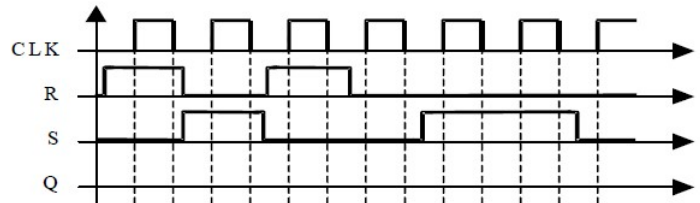
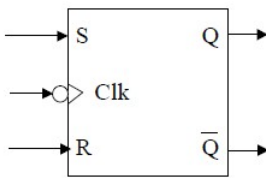




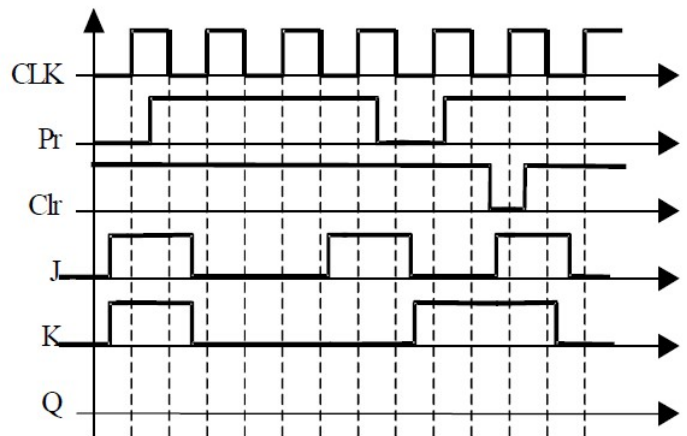
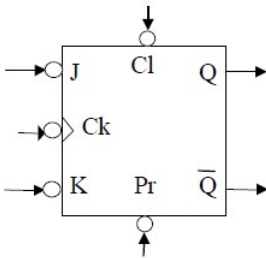
d)



e)



f)



30. Obtener el FF AB a partir del CD, siendo las siguientes sus respectivas tablas de verdad reducidas:

$A^n$	$B^n$	$Q^{n+1}$	$C^n$	$D^n$	$Q^{n+1}$
0	0	0	0	0	$\overline{Q}^n$
0	1	$Q^n$	0	1	0
1	0	$\overline{Q}^n$	1	0	$Q^n$
1	1	1	1	1	1

31. Implementar un Flip-Flop D con un Multiplexor.

32. Implementar el circuito necesario de modo tal que el Flip-Flop anterior sea sincrónico por Flanco.

33. Comparar la implementación de circuitos de manera combinacional con la secuencial.

34. Analizar el funcionamiento del simulador lógico y simular el funcionamiento de los circuitos de la presente práctica.